

CLIPPEDIMAGE= JP406061446A
PAT-NO: JP406061446A
DOCUMENT-IDENTIFIER: JP 06061446 A
TITLE: MANUFACTURE OF SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: March 4, 1994

INVENTOR-INFORMATION:

NAME
TANI, TOMOFUNE

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPON STEEL CORP.	N/A

APPL-NO: JP04208213

APPL-DATE: August 4, 1992

INT-CL_(IPC): H01L027/108; H01L021/76 ; H01L027/04
US-CL-CURRENT: 257/303

ABSTRACT:

PURPOSE: To provide a manufacturing method, of a semiconductor memory device, wherein a process can be simplified and a high integration and a high density can be achieved.

CONSTITUTION: The manufacturing method of a semiconductor memory device is provided with a process in which a trench 2 is formed in a semiconductor substrate 1, with a process in which a semiconductor film 3 is formed on the semiconductor substrate and inside the trench and with a process in which an element isolation and insulating film 5 and a first storage electrode are formed by using the semiconductor film 3.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J-P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-61446

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl.

識別記号

序内整理番号

F I

技術表示箇所

H 01 L 27/108

21/76

L 9169-4M

M 9169-4M

27/04

C 8427-4M

8728-4M

H 01 L 27/10

3-25-D

審査請求 未請求 請求項の数2(全3頁)

(21)出願番号

特願平4-208213

(22)出願日

平成4年(1992)8月4日

(71)出願人

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者

谷 智船 神奈川県相模原市淵野辺5-10-1 新日

本製鐵株式会社エレクトロニクス研究所内

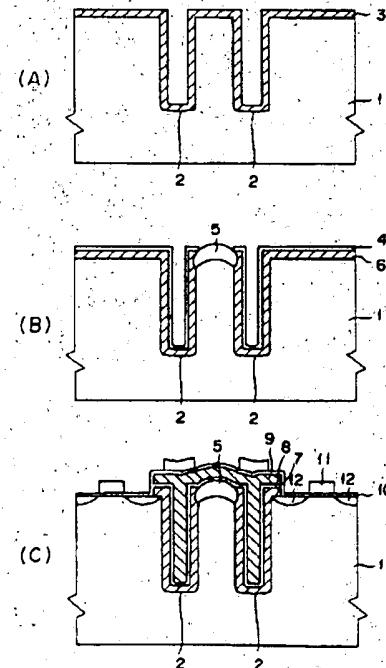
(74)代理人 弁理士 八田 幹雄 (外1名)

(54)【発明の名称】 半導体記憶装置の製造方法

(57)【要約】 (修正有)

【目的】 工程を簡略化し、かつ高集積・高密度化を図ることが可能となる半導体記憶装置の製造方法を提供することを目的とする。

【構成】 半導体記憶装置の製造方法において、半導体基板1にトレンチ2を形成する工程と、該半導体基板上および該トレンチ内に半導体膜3を形成する工程と、該半導体膜3を用いて素子分離絶縁膜5および第1記憶電極6を形成する工程とを具備する。



1

【特許請求の範囲】

【請求項1】 半導体基板にトレンチを形成する工程と、該半導体基板上および該トレンチ内に半導体膜を形成する工程と、該半導体膜を用いて素子分離絶縁膜および第1記憶電極を形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。

【請求項2】 該素子分離絶縁膜が該半導体膜の一部を酸化することにより形成され、かつ該トレンチ内に堆積した該半導体膜の部分を第1記憶電極とする工程を具備することを特徴とする請求項1に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置の製造方法に関し、特にダイナミック・ランダム・アクセス・メモリ(DRAM)の製造方法に関する。

【0002】

【従来の技術】従来の半導体記憶装置の製造方法は、素子分離絶縁膜をロコス(LOCOS)法によって形成するために、バーズピークが発生し、半導体記憶装置の高集積・高密度化を図る上で問題となっていた。

【0003】この問題を解決するために、従来よりバーズピークの低減の目的で素子分離絶縁膜形成にポリシリコン(Poly-Si)バッファ層を用いた、いわゆる改良ロコス法が適用されてきた。

【0004】このポリシリコンバッファ層を用いた半導体記憶装置の製造方法を図2に示す。この従来の半導体記憶装置の製造方法においては、図2(A)に示すように、まずシリコン基板101の表面にポリシリコンバッファ層を用いた改良LOCOS法により素子分離絶縁膜102を形成し、その後、反応性イオンエッチング(RIE)法を用いてキャパシタ用トレンチ103を形成する。その後、図2(B)に示すように、第1キャパシタ電極104、キャパシタ絶縁膜105、第2キャパシタ電極106、ゲート酸化膜107、ゲート電極108、拡散層領域109を順次形成する。

【0005】しかしこのポリシリコンバッファ層を用いた従来の方法では、ポリシリコンを一層多く形成するので工程が煩雑になり、更に露光時のマスクの合わせずれおよびプロセスのばらつきに対し設計余裕が必要となり、半導体記憶装置の高集積・高密度化を図る上で妨げになるという問題があった。

【0006】

【発明が解決しようとする課題】そこで、本発明は、工程を簡略化し、かつ高集積・高密度化を図ることが可能となる半導体記憶装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記課題を解決するために、半導体記憶装置の製造方法において、半

2

導体基板にトレンチを形成する工程と、該半導体基板上および該トレンチ内に半導体膜を形成する工程と、該半導体膜を用いて素子分離絶縁膜および第1記憶電極を形成する工程とを具備することを特徴とする。

【0008】また本発明は、該素子分離絶縁膜が該半導体膜の一部を酸化することにより形成され、かつ該トレンチ内に堆積した該半導体膜の部分を第1記憶電極とする工程を具備することを特徴とする半導体記憶装置の製造方法である。

10 【0009】

【作用】上述のように、構成された本発明による半導体記憶装置の製造方法によれば、素子分離絶縁膜と第1記憶電極が同一の半導体膜から形成されるため、工程の簡略化が図られ、かつ露光時のマスクの合わせずれおよびプロセスのばらつきに対する設計上のマージンを減少させ高集積・高密度化が図られる。また、素子分離絶縁膜形成時に発生するバーズピークが低減され半導体記憶装置の高集積・高密度化が図られる。

【0010】

20 【実施例】以下、本発明を実施例につき図面を参照しながら説明する。

【0011】図1(A)～図1(C)は本発明の一実施例による半導体記憶装置の製造方法である。

【0012】本実施例においては、図1(A)に示すように、まず一導電型のシリコン基板1に、キャパシタ用トレンチ2を、例えば反応性イオンエッチング(RIE)法により形成する。ここでキャパシタ用トレンチ2の大きさは、直径が、例えば0.3～2μmで、深さは、例えば0.5～6μmである。次にシリコン基板1の表面全体に、例えばCVD法により半導体膜3を形成する。ここで半導体膜3の材質は、例えばポリシリコンである。また、半導体膜3の膜厚は例えば10～100nm程度である。

【0013】この後、図1(B)に示すように、シリコン基板1の表面全体に、例えばCVD法により耐酸化性膜4を形成する。ここでこの耐酸化性膜4の材質は、例えば窒化シリコンである。次にこの耐酸化性膜4をバーニングし、その後、この耐酸化性膜4をマスクとして熱酸化法により半導体膜3の一部を選択的に酸化して素子分離絶縁膜5を形成する。次に耐酸化性膜4をエッチングにより除去し、半導体膜6をバーニングし、第1キャパシタ電極7を形成する。

【0014】この後、図1(C)に示すように、キャパシタ絶縁膜8、第2キャパシタ電極9、ゲート絶縁膜10、ゲート電極11、拡散層領域12を順次形成し、第1キャパシタ電極7、キャパシタ絶縁膜8、第2キャパシタ電極9よりなる電荷蓄積用のキャパシタおよび、ゲート電極11、ゲート絶縁膜10、ソース・ドレイン領域となる拡散層領域12からなるトランジスタを形成する。

50

る。

【0015】この後、層間絶縁膜、ビットコンタクト、ビット線、層間絶縁膜、ゲート電極の裏打ち配線およびパッシバーション膜等(図示せず)を順次形成し目的とする半導体記憶装置を完成する。

【0016】以上のように本発明の一実施例によれば素子分離膜5および第1キャバシタ電極7は同一の半導体膜3より一つの工程で形成されるため、従来より工程の簡略化が図られる。また素子分離絶縁膜5とキャバシタ用トレンチ2とのマスクの露光における合わせずれやプロセスのばらつきに対するマージンが減少し、更に素子分離絶縁膜5におけるバースピークは低減され、半導体記憶装置の高集積・高密度化が図られる。

【0017】

【発明の効果】以上説明したように本発明によれば、半導体記憶装置の製造方法において、工程の簡略化および

高集積・高密度化を図ることが可能となる。

【図面の簡単な説明】

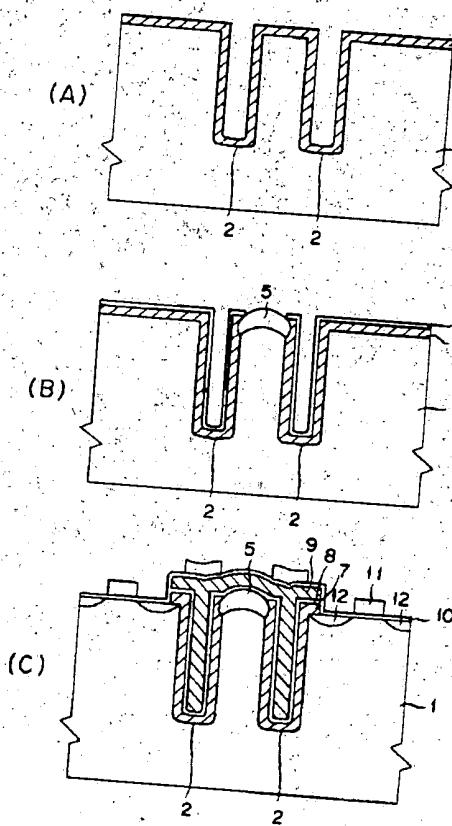
【図1】 本発明の一実施例による半導体記憶装置の製造方法を工程順に示す断面図である。

【図2】 は従来の半導体記憶装置の製造方法を示す断面図である。

【符号の説明】

- | | | |
|------------------|-------------------|---------------|
| 1, 101…シリコン基板 | 2, 103…キャバシタ用トレンチ | 3, 6…半導体膜 |
| 4…耐酸化膜 | 5, 102…素子分離絶縁膜 | |
| 7, 104…第1キャバシタ電極 | 8, 105…キャバシタ絶縁膜 | |
| 9, 106…第2キャバシタ電極 | 10, 107…ゲート絶縁膜 | 11, 108…ゲート電極 |
| 12, 109…拡散層領域 | | |

【図1】



【図2】

